What is claimed is:

1. A regulating valve for adjusting the flow in an infusion or transfusion procedure, said regulating valve comprising: a housing; connecting pieces essentially consisting of an inlet connecting piece and an outlet connecting piece opening into a hollow cylindrical valve chamber; a rotating piece that has a cup-shaped foundation and a cylindrical valve plug extending therefrom, wherein said cylindrical valve plug is inserted into the valve chamber sealing the radial outside periphery of the valve plug and the radial inside periphery of the valve chamber; where said rotating piece has, on a periphery, at least one groove that is opposite the connecting pieces and which constrictingly connects the

(22)出廣日

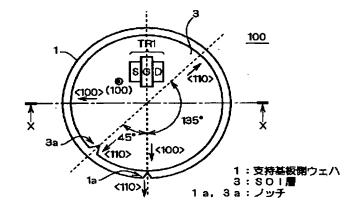
平成12年10月25日(2000.10.25)

東京都千代田区丸の内二丁目2番3号 (72)発明者 一法師 隆志 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内 (72)発明者 松本 拓治 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内 (74)代理人 100089233 弁理士 吉田 茂明 (外2名) Fターム(参考) 5F110 AA30 CC01 DD05 DD13 DD24 GG02 GG12 GG17 QQ17

(54) 【発明の名称】 半導体ウェハ、その製造方法およびその製造装置

(57)【要約】

【課題】 支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類のウェハを用意しなくてもよいものを提供する。 【解決手段】 同じ結晶方位<110>にノッチやオリエンテーションフラットが付された2枚の半導体ウェハの一方を支持基板側ウェハ1とし、他方をデバイス形成側ウェハとして、ノッチやオリエンテーションフラット同士が互いにずれた状態で(例えばデバイス形成側ウェハの結晶方位<110>と支持基板側ウェハ1の結晶方位<110>とが同方向となるように)両ウェハを貼り合わせる。そしてデバイス形成側ウェハを分割してSOI層3とし、SOI層3にMOSトランジスタTR1等を形成する。



2

【特許請求の範囲】

【請求項1】 結晶方位を示す切り欠きである結晶方位 表示部が端部に形成された第1および第2の半導体ウェ ハを備え。

1

前配第1および第2の半導体ウェハにおいて前配結晶方 位表示部は同じ結晶方位を示し、

前記結晶方位表示部同士が互いにずれた状態で前記第1 および第2の半導体ウェハが貼り合わされた半導体ウェ

【請求項2】 請求項1に記載の半導体ウェハであっ デ

前配第1および第2の半導体ウェハはともに(100) 面が主表面となる(100)ウェハであって、

前記結晶方位表示部同士が互いに45° または135° ずれている半導体ウェハ。

【請求項3】 請求項2に記載の半導体ウェハであっ ェ

前記第1の半導体ウェハは支持基板側ウェハであり、前 記第2の半導体ウェハはデパイス形成側ウェハであっ て、

前記デバイス形成例ウェハの主表面には、ソース/ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハ。

【請求項4】 第1の半導体ウェハと、

結晶方位を示す切り欠きである結晶方位表示部が端部に 形成された第2の半導体ウェハとを備え、

前記第1の半導体ウェハの主表面の一部が前記第2の半 導体ウェハの結晶方位表示部に露出するように前記第1 および第2の半導体ウェハが貼り合わされ、

前記第1の半導体ウェハの主表面の前記一部に印字が付されている半導体ウェハ。

【請求項5】 請求項4に配載の半導体ウェハであって、

前配第1の半導体ウェハの端部にも結晶方位を示す切り 欠きである結晶方位表示部が形成され、

前記第1の半導体ウェハの前記結晶方位表示部と前記第 2の半導体ウェハの前記結晶方位表示部とのなす角度が 180°である半導体ウェハ。

【請求項6】 請求項4に配載の半導体ウェハであって、

前配第1の半導体ウェハは支持基板側ウェハであり、 前配第2の半導体ウェハはSOI層用ウェハであって、 前配支持基板側ウェハおよび前配SOI層用ウェハのう ち少なくとも一方の主表面には絶 膜が形成された半導 体ウェハ。

【請求項7】 ともにバルク構造である第1および第2 の半導体ウェハを備え、

結晶方位が互いにずれた状態で前配第1および第2の半 連体ウェハが貼り合わされた半導体ウェハ。 【請求項8】 請求項7に配載の半導体ウェハであっ で

前配第1および第2の半導体ウェハはともに(100) 面が主表面となる(100)ウェハであって、

前配結晶方位が互いに45°または135°ずれている 半導体ウェハ。

【請求項9】 請求項8に記載の半導体ウェハであって、

前記第1の半導体ウェハは支持基板側ウェハであり、前 10 記第2の半導体ウェハはデバイス形成側ウェハであっ て、

前記デバイス形成側ウェハの主表面には、ソースンドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハ。

【請求項10】 請求項7に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面から水素イオンを注入し、前配主表面から所定の深さの位置に結晶欠陥層を形成することに より前配第2の半導体ウェハを準備する工程 (a) と、前配第1および第2の半導体ウェハの結晶方位が互いにずれた状態で、前配第2の半導体ウェハの主表面を前配第1の半導体ウェハの主表面に貼り合わせる工程(b)

前配第1および第2の半導体ウェハに熱処理を行って前 記第2の半導体ウェハを前記結晶欠陥層において分割す る工程(c)と、

前記第1および第2の半導体ウェハのうち前記結晶欠陥 層の存在した部分から研磨を行う工程(d)とを備える 30 半導体ウェハの製造方法。

【請求項11】 請求項7に記載の半導体ウェハを製造する製造方法であって、

半導体基板の主表面に多孔質半導体層および半導体層を 形成して前配第2の半導体ウェハを準備する工程 (a) と、

前記第1および第2の半導体ウェハの結晶方位が互いに ずれた状態で、前記第2の半導体ウェハの前記半導体層 を前記第1の半導体ウェハの主表面に貼り合わせる工程 (b) と、

40 前配半導体基板および前配多孔質半導体層を除去する工程(c)とを備える半導体ウェハの製造方法。

【請求項12】 請求項1に記載の半導体ウェハを製造する製造装置であって、

前記第1の半導体ウェハが載置される凹部が形成された 支持台と、

前記第1および第2の半 体ウェハを貼り合わせる際に 前記第2の半導体ウェハの位置合わせガイドとして用い られる、前記凹部を囲んで前記支持台上に設置されたガ イド部材とを備え、

50 前記凹部の端部には前記第1の半導体ウェハの前記結晶

4

方位表示部に当接する凸部が形成され、

前記ガイド部材には、前記第2の半導体ウェハの前記結 晶方位表示部に当接することが可能な可動の凸部が設け られ

前記凹部の端部に形成された前記凸部の位置と、前記ガ イド部材に設けられた前配凸部の位置とは、所定の角度 だけ互いにずれている半導体ウェハの製造装置。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】この発明は、集積回路などが その表面に形成される半導体ウェハに関する。

[0002]

【従来の技術】SOI (Silicon On Insulator) ウェハ を、支持基板側ウェハとSOI層用ウェハとを貼り合わ せて製造する場合、SMART CUT法やELTRAN法などが用い られる (SMART CUT法については例えば "SMART CUT: A P ROMISING NEW SOI MATERIAL TECHNOLOGY" M.BRUEL et a 1. Proceedings 1995 IEEE International SOI Confere nce.Oct.1995.pp.178-179を、ELTRAN法については例え # "HIGH-QUALITY EPITAXIAL LAYER TRANSFER(ELTRAN) BY BOND AND ETCH-BACK OF POROUS Si " N. Sato et a 1., Proceedings 1995 IEEE International SOI Confere nce,Oct.1995,pp.176-177 や "Water Jet Splitting of Thin Porous Si for ELTRAN" K.Ohmi et al., Extended Abstracts of the 1999 International Conference on Solid StateDevices and Materials, Tokyo, 1999, pp. 35 4-355を、それぞれ参照)。

【0003】さて、図17は従来のSOIウェハの一例 を示す図である。なお、このSOIウェハ400は(1 00) 面が主表面となる(100) ウェハである。また 図18は、図17中の切断線W-Wにおける断面を示し た図である。

【0004】図17および図18に示すようにこのSO 1ウェハ400においては、例えばシリコン基板からな る支持基板側ウェハ1の一主表面に酸化膜層2が形成さ れ、酸化膜層2の上面にSOI層3が形成されている。 このSOI層3および酸化膜層2は、主表面に酸化膜が 形成されたSOI層用ウェハが支持基板側ウェハ1に貼 り合わされた後、その一部が除去されたことによって形 成されたものである。なお、SOI層3と酸化膜層2と はほぼ同じ径となるが、製法によっては両者の径が若干 異なることもある。

【0005】そして、SOI層3には、MOS (Metal Oxide Semiconductor) トランジスタTR1,TR2等 のデバイス、およびそれらデバイス間を接続する配 な どを含む半導体装置が形成される。なお、支持基板側ウ ェハ1およびSOI層3にはそれぞれ、結晶方位<11 0>の方向にノッチ1a,3aが形成されている。ま た、図17ではウェハ面内の結晶方位<100>および <110>をも合わせて表示している。

【0006】従来のSOIウェハにおいては、MOSト ランジスタのソース/ドレイン間のチャネル方向が結晶 方位<110>と平行になるように配置されるのが一般 的であった。図17中のMOSトランジスタTR1, T R2がその一例である。なお、MOSトランジスタTR 1, TR2中に示された配号Sはソースを、配号Dはド レインを、配号Gはゲートを、それぞれ示す。

【0007】しかし、チャネル方向を結晶方位<100 >と平行になるよう配置することで、トランジスタ特性 10 を変化させることができる。具体的には、チャネル方向 を結晶方位<100>と平行に配置することにより、P チャネルMOSトランジスタの電流駆動力が15パーセ ント程度向上し、さらに、短チャネル効果も小さくなる ことが分かっている。電流駆動力が向上する理由は、結 晶方位<100>の正孔の移動度の方が結晶方位<11 0>のそれよりも大きいためであり、短チャネル効果が 小さくなる理由は、結晶方位<100>のボロンの拡散 係数の値の方が結晶方位<110>のそれよりも小さい ためと考えられている(参照文献: "Effect of <100> 20 Channel Direction for High Performance SCE Immune pMOSFETwith Less Than 0.15 \(\mu \) m Gate Length" H.Saya

ma et al., IEDM99, pp.657-660) .

[0008]

【発明が解決しようとする課題】さて、(100)ウェ ハにおいてMOSトランジスタのチャネル方向を結晶方 位<100>と平行に配置する場合、従来の回路パター ン用マスクや製造装置などを用いて回路形成するために は、ウェハの方向を45°または135°回転させる必 要がある。この際、従来の製造装置にウェハをそのまま 30 適用できるように、ノッチやオリエンテーションフラッ トの方向を結晶方位<110>から結晶方位<100> へと変更することが望ましい。

【0009】ところが、ウェハを単に45°または13 5°回転させるだけでは、新たなデバイスの開発に支障 をきたすことがある。以下にこのことを説明する。

【0010】シリコン結晶等のダイアモンド構造を有す る結晶のウェハでは、その結晶面 {110} または {1 11] が劈開面である。特に(100) ウェハの場合、 結晶面 {110} が劈開面となる。

【0011】デバイス開発の局面においては、ウェハに 形成されたデバイスの断面構造を電子顕微鏡で観察する ことが行われるが、その場合、ウェハを劈開することが 多い。劈開面以外の面を露出させようとすると、ウェハ に対してFIB (Focused Ion Beam) 装置等を用いてエ ッチングを行う必要があり、手間がかかって開発効率を 下げてしまうからである。

【0012】さて、(100)ウェハを単に45°また は135°回転させて、その表面にチャネル方向が結晶 方位<100>に平行なMOSトランジスタを形成する 50 と、図19に示すようになる。図19においては、結晶 方位<100>の方向にノッチ30aが形成されたウェ ハ30の(100)面に、MOSトランジスタTR3が 形成されている。

【0013】このウェハ30を劈開した場合、結晶方位 <110>の方向に劈開面CLが現れる。すると、MO SトランジスタTR3のチャネル方向を結晶方位<10 0>に平行に配置しているために、チャネルやゲートの 方向に対して斜めに割れたMOSトランジスタTR3の 断面が現れる。そのため、チャネルやゲートの方向に対 して斜めの断面構造を観察することになり、例えばゲート ト幅の評価等を正確に行うことが難しくなる。

【0014】また図20は、メモリ等のセルCEをマトリクス状に配置したメモリセルアレイデバイスARを、チャネル方向が結晶方位<100>に平行になるようにしてウェハ30に形成した場合の例を示したものである。この場合も、結晶方位<110>の方向に劈開面CLが現れるので、チャネルやゲートの方向に対して斜めの断面構造を観察することになり、例えば各セルの断面構造の周期性の評価等を正確に行うことが難しくなる。【0015】すなわち、ウェハを単に45°または135°回転させてデバイスを形成するだけでは、所望する断面構造を劈開により露出させることが困難であり、新たなデバイスの開発に支障をきたすのである。

【0016】そこで、SOIウェハの場合には、デバイス形成側ウェハたるSOI層用ウェハだけを45°回転させて支持基板側ウェハに貼り付けて製造することが考えられる。すなわち、図21に示すように、結晶方位く100>の方向にノッチ30aを有する(100)ウェハのSOI層用ウェハ30を、結晶方位く110>の方向にノッチ1aを有する(100)ウェハの支持基板側ウェハ1に貼り合わせて、SOIウェハ500を製造すればよい。そうすれば、劈開時にはウェハ厚の大部分を占める支持基板側ウェハ1の劈開面に沿ってウェハを割ることができ、かつ、チャネル方向が結晶方位く100>に平行なMOSトランジスタを形成することができる。

【0017】ところが、この場合、SOI層用ウェハ3 0には結晶方位<100>の方向にノッチ30aを設け、支持基板側ウェハ1には結晶方位<110>の方向にノッチ1aを設けるために、ノッチの方向の違いで2 種類の半導体ウェハを用意する必要がある。そのため、製造工程が煩雑となる。

【 O O 1 8 】 そこで、この発明の課題は、支持基板側ウェハとデバイス形成側ウェハとで結晶方位がずれた半導体ウェハであって、ノッチやオリエンテーションフラットの付される結晶方位が異なる2種類の半導体ウェハを用意しなくてもよいものを提供することにある。

[0019]

【課題を解決するための手段】請求項1に記載の発明 は、結晶方位を示す切り欠きである結晶方位表示部が端 部に形成された第1および第2の半導体ウェハを備え、 前記第1および第2の半導体ウェハにおいて前記結晶方 位表示部は同じ結晶方位を示し、前記結晶方位表示部同 士が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハである。

【0020】請求項2に配載の発明は、請求項1に配載の半導体ウェハであって、前配第1および第2の半導体ウェハはともに(100)面が主表面となる(100)ウェハであって、前配結晶方位表示部同士が互いに45°または135°ずれている半導体ウェハである。

【0021】請求項3に記載の発明は、請求項2に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはデバイス形成側ウェハであって、前記デバイス形成側ウェハの主表面には、ソース/ドレイン間のチャネル方向が結晶方位<100>の方向に平行なMOSトランジスタを含む半導体装置が形成された半導体ウェハである。

【0022】請求項4に記載の発明は、第1の半導体ウェハと、結晶方位を示す切り欠きである結晶方位表示部 が端部に形成された第2の半導体ウェハとを備え、前記 第1の半導体ウェハの主表面の一部が前記第2の半導体 ウェハの結晶方位表示部に露出するように前記第1およ び第2の半導体ウェハが貼り合わされ、前記第1の半導 体ウェハの主表面の前記一部に印字が付されている半導 体ウェハである。

【0023】請求項5に記載の発明は、請求項4に記載の半導体ウェハであって、前記第1の半導体ウェハの端部にも結晶方位を示す切り欠きである結晶方位表示部が形成され、前記第1の半導体ウェハの前記結晶方位表示30 部と前記第2の半導体ウェハの前記結晶方位表示部とのなす角度が180°である半導体ウェハである。

【0024】請求項6に記載の発明は、請求項4に記載の半導体ウェハであって、前記第1の半導体ウェハは支持基板側ウェハであり、前記第2の半導体ウェハはSO」層用ウェハであって、前記支持基板側ウェハおよび前記SOI層用ウェハのうち少なくとも一方の主表面には絶線膜が形成された半導体ウェハである。

【0025】請求項7に記載の発明は、ともにバルク構造である第1および第2の半導体ウェハを備え、結晶方位が互いにずれた状態で前記第1および第2の半導体ウェハが貼り合わされた半導体ウェハである。

【0026】請求項8に記載の発明は、請求項7に記載の半導体ウェハであって、前記第1および第2の半導体ウェハはともに(100)面が主表面となる(100)ウェハであって、前記結晶方位が互いに45°または135°ずれている半導体ウェハである。

【0027】請求項9に記載の発明は、請求項8に記載 の半導体ウェハであって、前記第1の半導体ウェハは支 持基板側ウェハであり、前記第2の半導体ウェハはデバ 4ス形成側ウェハであって、前記デパイス形成側ウェハ